

## 明 細 書

### 通信システム、リアルタイム制御装置及び情報処理システム

#### 技術分野

- [0001] 本発明は制御装置にかかり、特にリアルタイム制御に好適な制御装置即ちリアルタイム制御装置、及びリアルタイム制御装置内の高速な通信を可能にする通信システム、及びその通信システムを組み込んだ制御装置及び情報処理システムに関する。

#### 背景技術

- [0002] 電子機器の機能の高度化に伴い、配線基板の配線は複雑なものとなり配線の本数は増加する傾向にある。一方、利便性の見地からは電子機器の小型化が求められている。これらの相反する要求を満たすために信号をシリアル化して伝送し、配線数を削減する手段が従来よりとられている。制御装置内の通信路、特にマイクロプロセッシングユニットと周辺IOとの通信に関して従来からSPI (Serial Peripheral Interface) という通信規格、方式があった。SPIを使用した周辺IO (出力ドライバ) の例も、文献1 (Data Sheet TLE4230 GP, Infineon Technologies AG, Bereichs Kommunikation (28 August, 2000)) 等に記載されている。上記文献1等 に示されるパワー素子では、SPI (Serial Peripheral Interface) 及び個別信号線いずれにでも出力が制御できるようになっている。この方法によれば、リレー等のオン/オフの周期の長い出力はSPIに代表されるようなシリアル通信により制御し、制御のための信号の本数を大幅に削減することができる。また、PWM (Pulse Width Modulation) などの短い周期でオン/オフを繰り返す出力は個別信号で制御し、シリアル通信のオーバーヘッドのない高速なオン/オフが可能となる。またクロックに同期してシリアルデータを伝送する従来技術としては、文献2 (特開昭61-166244号公報) の図15に記載のものがある。

- [0003] 非特許文献1: Data Sheet TLE4230 GP, Infineon Technologies AG, Bereichs Kommunikation (28 August, 2000)

特許文献1: 特開昭61-166244号公報

#### 発明の開示

- [0004] 以上述べた従来技術は、単純なオン/オフを制御するには効果的な技術である。し

かし、高速で動作し、かつ複雑な出力を制御するためにはさらに考慮が必要である。例えば、単なるオン/オフだけでなく振幅やスロープなどの出力波形を制御する必要がある場合には従来技術では対応できない。

[0005] また、前記SPIは、マスタを固定として通信に先立つアービトレーションが不要な上、通信の相手をチップセレクト信号で指定する方式により、簡単なハードウェア、ソフトウェアで実現可能な優れた方式である。つまり、スレーブノードの選択信号(チップセレクト信号)によりスレーブノードを選択し、マスタノードとその選択されたスレーブノードとの間において、マスタノードからスレーブノードへの伝送(送信)及びスレーブノードからマスタノードへの伝送(受信)を同時に行う。しかしSPIは、マイクロプロセッシングユニットと周辺IOとの通信を前提にしているため、1対1通信しかサポートしておらず、1対多、即ちブロードキャストには対応していない。SPIによりブロードキャストを実現しようとして、複数のスレーブノードへのチップセレクト信号をアクティブにすると、スレーブノードではマスタからの送信信号は受信できるが、複数のスレーブノードが信号をマスタに送ろうとして信号が衝突するという弊害が発生する。

[0006] 制御の分野で広く導入されている自律分散の概念では、制御をつかさどるノードが情報を共有することがポイントである。したがって、情報共有のためにはブロードキャスト機能が必要である。また、マイクロプロセッシングユニットと周辺IOではなく複数のマイクロプロセッシングユニット間の通信を考えた場合にはやはりブロードキャスト機能の必要性があることはいうまでもない。また、特開昭61-166244号公報の図15に記載されている従来技術によれば、信号RQI1, RQI2をアクティブすることによりブロードキャスト機能の実現可能であるように見えるが、スレーブCPUが個別に信号RQO(マスタCPUでは信号RQO1, RQO2)を出力するため、スレーブCPUからマスタCPUへのシリアル信号SOが衝突する恐れがある。

[0007] 本発明は、上記従来技術の問題点に鑑み、高速でのオン/オフのタイミングに加えて、振幅やスロープなどの出力波形の指示情報を少ない信号線で伝送する方式を提供することを本発明の第1の目的とする。また、本発明は、従来技術の簡便さという特徴を活かしながら、ブロードキャスト機能を実現する通信システムを提供することを第2の目的とする。

[0008] 本発明では、上記第1の目的を達成するために、シリアル通信で振幅やスロープなどの出力波形の指示情報(以下「出力波形修飾情報」と呼ぶ)をシリアル通信で転送し、オン/オフのタイミングを個別信号で送る。

[0009] さらに第2の目的を達成するために、本発明ではスレーブノードの選択信号(チップセレクト信号)に加えて送信・受信のいずれかの動作のみを選択するための信号を出力する。すなわち、マスタノードとの信号伝送の相手方として選択されているか否かと通信の方向とを示す通信選択信号群を、マスタノードからスレーブノードに対して出力する。

[0010] 通信選択信号群のエンコードの方法には種々考えられるが、大きく以下の2つの方法に分けられる。

(1) 送信動作、受信動作それぞれにスレーブノードの選択信号(チップセレクト信号)を設ける方法

(2) スレーブノードの選択信号(チップセレクト信号)に加えて、通信の方向を示す選択信号を設ける方法

(a) 例1

通信の方向を示す選択信号=L:受信動作

通信の方向を示す選択信号=H:送信・受信同時動作

(b) 例2

通信の方向を示す選択信号=L:送信動作

通信の方向を示す選択信号=H:送信・受信同時動作

(c) 例3

通信の方向を示す選択信号=L:送信動作

通信の方向を示す選択信号=H:受信動作

(d) 例4

通信の方向を示す選択信号=(H, L):送信動作

通信の方向を示す選択信号=(L, H):受信動作

通信の方向を示す選択信号=(H, H):送信・受信同時動作

これらの方法のうち(1)の方法は、スレーブノード毎に独立して通信の方向を選択で

きるので最も自由度が高い。

- [0011] 前記(1)の方法に基づく本発明の通信システムは、1つのマスタノードと複数のスレーブノードを有し、マスタノードとスレーブノードとの間で通信を行う通信システムにおいて、マスタノードは、複数のスレーブノードにクロック信号を出力するクロック送信手段と、複数のスレーブノードの各々に対して、当該マスタノードからの信号伝送の相手方として選択されているか否かを示す第1の選択信号を出力する手段と、複数のスレーブノードの各々に対して、同時に最大で1つのスレーブノードを選択するようにして、当該マスタノードへの信号伝送の相手方として選択されているか否かを示す第2の選択信号を出力する手段と、クロック信号に同期して複数のスレーブノードに向けて伝送データを出力する手段と、クロックに同期してスレーブノードからの伝送データを取り込む手段とを備える。
- [0012] 複数のスレーブノードの各々は、第1の選択信号が当該スレーブノードを選択しているときクロック信号に同期して前記マスタノードから出力された伝送データを取り込む手段と、第2の選択信号が当該スレーブノードを選択しているときクロック信号に同期して前記マスタノードに伝送データを出力する手段とを備える。
- [0013] 本発明による制御装置は、1つのマスタノードと、複数のスレーブノードと、スレーブノードにスイッチ手段を介して接続されたアクチュエータと、マスタノードとスレーブノードとの間で通信を行う通信システムとを含み、マスタノードからの指令によって前記アクチュエータを制御する制御装置であり、上記したマスタノードとスレーブノードを備えることを特徴とする。
- [0014] また、本発明による情報処理システムは、マイクロプロセッサを有し情報処理を行う1つのマスタノードと、それぞれがマイクロプロセッサを有して情報処理を行う複数のスレーブノードと、マスタノードとスレーブノードとの間で通信を行う通信システムとを含む情報処理システムであり、上記したマスタノードとスレーブノードを備えることを特徴とする。
- [0015] 本発明によれば、マスタノードからの送信信号を複数のスレーブノードが受信でき、かつスレーブノードが出力するマスタノードにとっての受信信号の衝突が発生しない。つまり、ブロードキャスト機能を実現することができる。

### 発明を実施するための最良の形態

- [0016] 以下、図に基づいて本発明の実施例について説明を加える。
- [0017] 図1は、本発明の基本的な構成例を示す図である。メインプロセッサ(メインノードあるいはマスタノードともいう)100からI/Oプロセッサ(I/Oデバイス、I/Oノード、スレーブノードともいう)200にシリアル通信路1及び個別信号20が接続され、出力波形修飾情報19はシリアル通信路1を介して伝送し、出力タイミング情報21は個別信号20を介して伝送する。出力制御部201は出力タイミング情報21が到来したタイミングで出力波形修飾情報19に従った出力30を出力する。
- [0018] なお、制御装置などに用いられるシリアル通信としてSPI(Serial Peripheral Interface)などが提供されているが、本発明ではシリアル通信の種別には依存しない。したがって、本明細書では個々のシリアル通信方式についての説明は省略する。
- [0019] 本実施例によれば、メインプロセッサ100からI/Oプロセッサ(またはI/Oデバイス)200への高速でのオン/オフのタイミングに加えて、振幅やスロープなどの出力波形の指示情報を少ない本数の信号線で伝送することができる。したがって、メインプロセッサ100では出力の概略の制御を司り、I/Oプロセッサ(またはI/Oデバイス)200では出力の詳細な制御を司るという機能分担を図ることができ、結果として制御装置の性能を向上させることができる。
- [0020] 図2は、メインプロセッサ100に複数のI/Oプロセッサ(またはI/Oデバイス)200-1〜200-nを接続した実施例を示している。出力波形修飾情報19-1〜19-nは共通のシリアル通信路1を介して伝送し、出力タイミング情報21-1〜21-nはそれぞれ個別信号20-1〜20-nを介して伝送する。
- [0021] 本実施例によれば、先に述べた図1の実施例よりも多くの出力を持つ制御システムの性能を向上させることができる。
- [0022] 図3は、本発明に好適なシリアル通信の実施例を示している。マスタノード(メインプロセッサ)100はスレーブノード(I/Oプロセッサ)200-1〜200-nに信号線(SCLK 10、TXD11、RXD12)、通信選択信号群(マスタノードとの信号伝送の相手方として選択されているか否か、及び通信の方向を示す選択信号)18で接続している。
- [0023] TXD11はマスタノード(メインプロセッサ)100からスレーブノード(I/Oプロセッサ)

200-1-200-nへの送信信号、RXD12はスレーブノード(I/Oプロセッサ)200-1-200-nのいずれかからマスタノード(メインプロセッサ)100への受信信号である。SCLK10はTXD11、RXD12を転送するクロックを示し、例えばSCLK10の立上がりエッジでTXD11、RXD12が出力され、SCLK10の立下りエッジでTXD11、RXD12がラッチされる。あるいはその逆に、SCLK10の立下りエッジでTXD11、RXD12が出力され、SCLK10の立上がりエッジでTXD11、RXD12がラッチされる。TXD11の送り先、RXD12を出力できるスレーブノード等は、通信選択信号群18によって指定される。通信選択信号群18による指定の方法は、図4から図10に示す実施例に例示する。

- [0024] 図4は、通信選択信号群18がTXCS1#(13-1)-TXCSn#(13-n)、RXCS1#(14-1)-RXCSn#(14-n)からなる実施例である。マスタノード(メインプロセッサ)100はスレーブノード(I/Oプロセッサ)200-1-200-nに信号線(SCLK10、TXD11、RXD12、TXCS1#(13-1)-TXCSn#(13-n)、RXCS1#(14-1)-RXCSn#(14-n))で接続している。
- [0025] なお、信号名に後置している「#」は当該信号がアクティブロー、即ちLのときに有効な信号であることを示している。TTL(Transistor-Transistor Logic)レベルの論理回路ではLと認識するためのしきい(スレッショルド)値が低いため、電氣的ノイズにより誤ってLと認識されることが少ない。この性質を利用してストロブ信号、チップセレクト信号などには耐ノイズ性を高めるために本実施例のようにアクティブロー信号を使用することが一般的である。もしHレベルと認識するためのしきい(スレッショルド)値が通常より高い論理回路を使用する場合、または耐ノイズ性に特に注意を払わなくともよい場合にはアクティブハイ、即ちHのときに有効な信号を使用することも可能である。以下、本明細書では通信選択信号群18にアクティブロー信号を使用した実施例を記載することにする。
- [0026] TXCS1#(13-1)-TXCSn#(13-n)は送信信号TXD11についてのチップセレクト信号で、送信信号TXD11が対応するスレーブノードに対するものであることを示す。例えばTXCS1#(13-1)が有効(L)であるときには送信信号TXD11がスレーブノード(I/Oプロセッサ)200-1に対するものであることを示す。なお、TXCS1#

(13-1)〜TXCSn # (13-n)のうち複数の信号が有効(L)であっても構わない。

[0027] RXCS1 # (14-1)〜RXCSn # (14-n)は受信信号RXD12についてのチップセレクト信号で、対応するスレーブノードがRXD12を出力することを示す、例えば、RXCS1 # (14-1)が有効(L)であるときにはスレーブノード(I/Oプロセッサ)200-1のみがRXD12を出力することを示す。なお、複数のスレーブノードが同時にRXD12を出力すると信号が衝突するので、RXCS1 # (14-1)〜RXCSn # (14-n)のうち複数の信号が有効(L)となってはならない。

[0028] 図5に、図4に示した通信システムの動作例を示す。本実施例ではTXCS1 # (13-1)〜TXCSn # (13-n)は全てON(L)となり、RXCS1 # (14-1)〜RXCSn # (14-n)のうちRXCSn # (14-n)のみがON(L)となり、ほかがOFF(H)となっている。このとき、TXD11は全てのスレーブノード(I/Oプロセッサ)200-1〜200-nに対するものであり、スレーブノード(I/Oプロセッサ)200-nのみがRXD12を出力することを示している。したがって本実施例によれば、マスタノード(メインプロセッサ)100から全てのスレーブノード(I/Oプロセッサ)200-1〜200-nに一齐に情報を伝達することができ、同時に特定のスレーブノード(I/Oプロセッサ)200-nからの信号を受信することができる。

[0029] 図6に、本発明のTXCS1 # (13-1)〜TXCSn # (13-n)、RXCS1 # (14-1)〜RXCSn # (14-n)の設定方法と通信動作を示す。なお、ONはアクティブ(L)、OFFはインアクティブ(H)であることを示す。

[0030] まず、TXCS1 # (13-1)〜TXCSn # (13-n)は、case 1〜8に示すように任意の組み合わせが可能である。RXCS1 # (14-1)〜RXCSn # (14-n)は、case 9〜16に示すように最大でもいずれか1つのみがONとなる組み合わせのみが可能であり、他の複数のONとなる組み合わせはスレーブからの信号が衝突するために禁止される。

[0031] またcase 17に示すように、マスタノード(メインプロセッサ)からスレーブノードにデータを転送するだけで、スレーブノードからマスタノード(メインプロセッサ)にデータを転送しないということも可能であり、その逆にcase 18に示すように、スレーブノードからマスタノード(メインプロセッサ)にデータを転送するだけで、マスタノード(メインプロセッサ)からスレーブノードにデータを転送しないということも可能である。

サ)からスレーブノードにデータを転送しないことも可能である。

[0032] またcase 19に示すように、全てのスレーブノードにマスタノード(メインプロセッサ)からデータを転送しながら特定のスレーブノードからマスタノード(メインプロセッサ)にデータを転送することも可能である。case 20に示すように従来と同様に同一のスレーブノードを対象にデータを交換することも可能であり、case 21に示すようにマスタノード(メインプロセッサ)からデータを転送するスレーブノードにとは異なるスレーブノードからデータを転送することも可能である。

[0033] 図7は、通信選択信号群18が信号線CS1 # (15-1) ~ CSn # (15-n)とT/TR # (16)からなる実施例である。信号線CS1 # (15-1) ~ CSn # (15-n)は対応する各スレーブノードについてのチップセレクト信号であり、本実施例ではアクティブローの論理をとっているのでLのときに有効で、対応するスレーブノードがマスタノード(メインプロセッサ)との通信の相手として選択されていることを示す。信号線T/TR # (16)は通信の方向を示す信号で、Hレベルのときにはマスタノード(メインプロセッサ)100からスレーブノード(I/Oプロセッサ)200-1 ~ 200-nへの伝送(送信)が有効であることを示し、Lレベルのときにはマスタノード(メインプロセッサ)100からスレーブノード(I/Oプロセッサ)200-1 ~ 200-nへの伝送(送信)及びスレーブノード(I/Oプロセッサ)200-1 ~ 200-nからマスタノード(メインプロセッサ)100への伝送(受信)が有効であることを示す。

[0034] これら2つの信号により、マスタノード(メインプロセッサ)100とスレーブノード(I/Oプロセッサ)200-1 ~ 200-nとの間の通信は、図8に示すように制御される。case 1 ~ 8に示すように、T/TR # (16)がT即ちLレベルであるときには、マスタノード(メインプロセッサ)100からスレーブノード(I/Oプロセッサ)200-1 ~ 200-nへの伝送(送信)のみが有効である。このときには任意の複数のスレーブノードへの転送が可能である。また、case 9 ~ 16に示すように、T/TR # (16)がTR # 即ちLである場合には、スレーブノード(I/Oプロセッサ)200-1 ~ 200-nからマスタノード(メインプロセッサ)100への伝送(受信)が競合しないようにひとつのスレーブノード(I/Oプロセッサ)200-iしか通信の相手方として選択できない。

[0035] 図9は、通信選択信号群18が信号線CS1 # (15-1) ~ CSn # (15-n)とR/TR

# (17)からなる実施例である。信号線CS1 # (15-1)〜CSn # (15-n)は対応する各スレーブノードについてのチップセレクト信号で、本実施例ではアクティブローの論理ととっているのでLのときに有効で、対応するスレーブノードがマスタノード(メインプロセッサ)との通信の相手として選択されていることを示す。信号線R/TR # (17)は通信の方向を示す信号で、Hレベルのときにはスレーブノード(I/Oプロセッサ) 200-1〜200-nからマスタノード(メインプロセッサ) 100への伝送(受信)が有効であることを示し、Lレベルのときにはマスタノード(メインプロセッサ) 100からスレーブノード(I/Oプロセッサ) 200-1〜200-nへの伝送(送信)及びスレーブノード(I/Oプロセッサ) 200-1〜200-nからマスタノード(メインプロセッサ) 100への伝送(受信)が有効であることを示す。

[0036] これら2つの信号により、マスタノード(メインプロセッサ) 100とスレーブノード(I/Oプロセッサ) 200-1〜200-nとの間の通信は、図10に示すように制御される。case 1〜8に示すように、R/TR # (17)がR即ちHレベルであるときには、スレーブノード(I/Oプロセッサ) 200-1〜200-nからマスタノード(メインプロセッサ) 100への伝送(受信)のみが有効である。また、case 9〜16に示すように、R/TR # (17)がTR # 即ちLである場合には、マスタノード(メインプロセッサ) 100からスレーブノード(I/Oプロセッサ) 200-1〜200-nへの伝送(送信)及びスレーブノード(I/Oプロセッサ) 200-1〜200-nからマスタノード(メインプロセッサ) 100への伝送(受信)が有効である。

[0037] 何れの場合でも、スレーブノード(I/Oプロセッサ) 200-1〜200-nからマスタノード(メインプロセッサ) 100への伝送(受信)が競合しないように、ひとつのスレーブノード(I/Oプロセッサ) 200-iしか通信の相手方として選択できない。

[0038] 図11は、スレーブノードの構成例を示す図である。本例のスレーブノード(I/Oプロセッサ) 200-iは、シリアル/パラレル変換器201とパラレル/シリアル変換器202を備えている。シリアル/パラレル変換器201は、TXCSi # が有効(L)であるときに、シリアルデータとして送られてきたTXD11をSCLK10にしたがってパラレルデータ204に変換する。パラレル/シリアル変換器202は、RXCSi # が有効(L)であるときに、パラレルデータ205をSCLK10にしたがってシリアルデータに変換しRXD12として出力する。また、図11に示すように、状態遷移監視器203を有してもよい。状態遷移監視

視器203は、TXCSi# が連続して有効(L)である期間に入力されたSCLK10の数を計数し、所定の数であるときに監視結果206として“OK”を出力する。

[0039] 図12は、スレーブノードの他の構成例を示す図である。本例のスレーブノード(I/Oプロセッサ)200-iはMPU(Micro-processing Unit)210を有する。シリアル/パラレル変換器201でパラレルデータ204に変換された受信データは、状態遷移監視器203の監視結果206に基づき、所定の数のSCLK10が到来したときにバッファ207に記憶され、バス209を介してMPU210の要求にしたがってMPU210に読み出される。一方、送信データはバス209を介してMPU210によりバッファ208に書き込まれ、パラレルデータ205としてパラレル/シリアル変換器202に入力され、シリアルデータに変換されRXD12として出力される。

[0040] 図13は、マスタノードの構成例を示す図である。本例のマスタノード(メインプロセッサ)100は送信先制御レジスタ105及び受信先制御レジスタ106を有し、データ送信先及び受信先は、送信先制御レジスタ105、受信先制御レジスタ106に設定することにより指定することができる。具体的には、TXCS1# (13-1)〜TXCSn# (13-n)、RXCS1# (14-1)〜RXCSn# (14-n)のうち、レジスタ設定に対応した信号線がアクティブ(L)になる。

[0041] 送信データはパラレルデータ103としてパラレル/シリアル変換器101に入力され、送信先制御レジスタ105にいずれかの送信先を選択したときにSCLK10に従ってシリアルデータに変換され、TXD11として送出される。

[0042] 受信データRXD12はシリアル/パラレル変換器102に入力され、SCLK10に従いパラレルデータ104に変換される。

[0043] SCLK10はクロック生成回路107で生成され、パラレル/シリアル変換器101、シリアル/パラレル変換器102を動作させると共に、マスタノード(メインプロセッサ)100の外部に出力される。また、通信開始レジスタ120をセットすることによりクロック生成回路107は所定の数のクロックを生成し、通信開始レジスタ120をクリアする。

[0044] 本実施例のマスタノード(メインプロセッサ)100を用いて通信するためには、送信先制御レジスタ105、受信先制御レジスタ106に設定し、送信データをパラレルデータ103としてパラレル/シリアル変換器101に入力する。その後、通信開始レジスタ120

0をセットすることにより通信が開始される。最後に受信データがシリアル/パラレル変換器102からパラレルデータ104として出力される。

[0045] 図14は、マスタノードの他の構成例を示す図である。本例のマスタノード(メインプロセッサ)100は、MPU(Micro-processing Unit)111を有する。送信先制御レジスタ105、受信先制御レジスタ106及び通信開始レジスタ120は、バス110を介してMPU111により設定される。

[0046] 送信データはバス110を介してMPU111によりバッファ108に書き込まれ、パラレルデータ103としてパラレル/シリアル変換器101に入力され、シリアルデータに変換されTXD11として出力される。シリアル/パラレル変換器102でパラレルデータ104に変換された受信データはバッファ109に記憶され、バス110を介してMPU111の要求にしたがってMPU111に読み出される。

[0047] 図15は、本発明にかかる通信システムの信号波形の説明図である。通信に先立ち送信相手、受信相手を指定するために、TXCS1#(13-1)〜TXCSn#(13-n)、RXCS1#(14-1)〜RXCSn#(14-n)が出力される。図15に示した例は、TXCS1#(13-1)〜TXCSn#(13-n)は全てアクティブ(L)、RXCS1#(14-1)〜RXCSn#(14-n)のうちRXCSi#(14-i)のみアクティブ(L)で他はアクティブでない場合を示している。

[0048] このとき、SCLK10の立上がりエッジでマスタノード(メインプロセッサ)100からTXD11が送出され、スレーブノード(I/Oプロセッサ)200-1〜200-nではSCLK10の立下がりエッジでTXD11をラッチする。また、スレーブノード(I/Oプロセッサ)200-iのみがSCLK10の立上がりエッジでRXD12を送出し、他のスレーブノードは出力せずに高インピーダンス状態となる。以上のようにして、マスタノード(メインプロセッサ)100からスレーブノード(I/Oプロセッサ)200-1〜200-nに対して同時にデータを送ることができ、かつマスタノード(メインプロセッサ)100は特定のスレーブノード(I/Oプロセッサ)200-iからのデータを受け取ることができる。

[0049] 図16は、本発明による制御装置の実施例を示す図である。本実施例では、図14に示すような、MPUを備えるマスタノード(メインプロセッサ)100を用いる。スレーブノード(I/Oプロセッサ)200-1〜200-nにそれぞれ出力半導体素子250-1〜250-

nとアクチュエータ251-1〜251-nが接続され、制御対象を制御する。図示した実施例では、出力半導体素子250-1〜250-nはアクチュエータよりも電源VB側に接続されるハイサイドドライバとなっているが、アクチュエータよりもグランド側に接続されるローサイドドライバでも可能であるのは言うまでもない。また、出力半導体素子250-1〜250-nはHブリッジなどとすることも同様に可能である。

[0050] アクチュエータはソレノイドやモータ等とすることができる。アクチュエータがモータの場合には、出力半導体素子をHブリッジとすると、印加される電圧極性を逆転させて逆回転させることができる。また図16の実施例では、スレーブノード(I/Oプロセッサ)200-1〜200-nは夫々1つずつの出力半導体素子、アクチュエータに接続されているが、複数の出力半導体素子、アクチュエータに接続することも可能である。

[0051] アクチュエータ251-1〜251-nにより制御対象252-1〜252-nが制御される。制御対象の状態またはアクチュエータの状態は図に示すようにスレーブノード(I/Oプロセッサ)200-1〜200-nにフィードバックする。図12に示すようにスレーブノード(I/Oプロセッサ)200-1〜200-nにMPU210を備えれば、制御対象252-1〜252-nとスレーブノード(I/Oプロセッサ)200-1〜200-nだけでマスタノード(メインプロセッサ)100と独立にフィードバック制御系を形成することも可能である。この場合、制御対象の状態またはアクチュエータの状態は図示しないセンサを介してフィードバックされることもある。

[0052] 例えば、本実施例の制御装置がエンジンを制御する場合には、出力半導体素子250-1〜250-nとして、電子制御スロットルを動作させるモータを駆動するためのHブリッジ、気筒内の混合気を点火するためのイグナイタドライバ、気筒内または吸気間気筒入り口近くで燃料を噴射するインジェクタを駆動するインジェクタドライバ、排気ガス還流量を制御するEGRバルブドライバ、トランスミッションを制御するためのソレノイドドライバなどが考えられる。これらのドライバのうち、イグナイタドライバ、インジェクタドライバは所定のタイミングで所定の長さの時間だけ電流を流し、点火のタイミング及びエネルギー、燃料噴射の時期及びその量を制御する。Hブリッジ、EGRバルブドライバ、ソレノイドドライバは電流を流すパルス時間幅を変えるPWM(パルス幅変調)により流れる平均電流を制御し、スロットル開度、EGRバルブ開度、ソレノイドに

接続したクラッチの締結力を制御し、Hブリッジではさらに電流の流れる方向を制御してスロットル弁を動かすモータの回転方向を制御する。またこの場合、フィードバックする制御対象の状態としてはエンジンの回転角、水温、吸気流量などがあり、センサとしてはクランク角センサ、水温系、吸気流量計などがある。

[0053] また、電動ブレーキを制御する場合には、出力半導体素子250-1〜250-nとして、電動ブレーキのモータを駆動するためのHブリッジまたは3相インバータなどが考えられる。この場合、スレーブノード(I/Oプロセッサ)200-1〜200-nは車輪(ブレーキ)ごとに備えるのが好適である。またこの場合、フィードバックする制御対象の状態としてはブレーキパッドの押し付け力(推力)、車輪の速度等があり、センサとしては圧力センサ、車輪速センサ等がある。

[0054] さらに、電動アクチュエータで構成したサスペンションを制御する場合には、出力半導体素子250-1〜250-nとして、電動アクチュエータを駆動するためのHブリッジまたはハーフブリッジなどが考えられる。この場合、スレーブノード(I/Oプロセッサ)200-1〜200-nは車輪(サスペンション)ごとに備えるのが好適である。またこの場合、フィードバックする制御対象の状態としてはサスペンションの位置、加速度等があり、センサとしては位置センサ、加速度センサ等がある。

[0055] 以上述べた実施例によれば、マスタノード(メインプロセッサ)100からの指令は本発明の提供する通信システムによりスレーブノード(I/Oプロセッサ)200-1〜200-nに伝送され、スレーブノード(I/Oプロセッサ)200-1〜200-nではマスタノード(メインプロセッサ)100からの指令に基づき、出力半導体素子250-1〜250-nを介してアクチュエータ251-1〜251-nを制御することができる。また、マスタノード(メインプロセッサ)100からの指令をスレーブノード(I/Oプロセッサ)200-1〜200-nにブロードキャストすることができるため、指令の伝送時間を短縮することが可能である。

[0056] 一方、スレーブノード(I/Oプロセッサ)200-1〜200-nからは、マスタノード(メインプロセッサ)100へ本発明の提供する通信システムにより種々の情報が伝送される。スレーブノード(I/Oプロセッサ)200-1〜200-nからマスタノード(メインプロセッサ)100へ伝送される情報としては、図示しないセンサより入力されるアクチュエータ及び制御対象の状態、出力半導体素子250-1〜250-nでの診断結果(過電流検出、

短絡検出、断線検出、過熱検出)、スレーブノード(I/Oプロセッサ)200-1〜200-nの状態(制御演算及び制御に関するエラー情報、状態遷移情報など)に関する情報などがある。

[0057] 図17は、本発明による情報処理システムの実施例を示す図である。本実施例では、図14に示すようなMPUを備えるマスタノード(メインプロセッサ)100及び図12に示すようなMPUを備えるスレーブノードを用いる。マスタノード(メインプロセッサ)100には記憶装置252-0が、スレーブノード(I/Oプロセッサ)200-1〜200-nには記憶装置252-1〜252-nが接続されている。記憶装置252-0〜252-nには、通常の半導体メモリや磁気ディスク装置などの使用が可能である。

[0058] 個々のマスタノード(メインプロセッサ)100、スレーブノード(I/Oプロセッサ)200-1〜200-nでは、自身に接続された記憶装置252-0〜252-nを用いて割り当てられた処理を実行するが、本発明が提供する通信システムを経由して必要な情報を交換し、全体として統合のとれた動作を実現することが可能である。特に本発明の提供する通信システムによれば、マスタノード(メインプロセッサ)100からスレーブノード(I/Oプロセッサ)200-1〜200-nへの情報のブロードキャスト、異なる相手への同時送信／受信が可能であるため、情報交換のためのノード間の通信の効率を高めることが可能である。

[0059] 例えば、マスタノード(メインプロセッサ)100からスレーブノード(I/Oプロセッサ)200-1〜200-nに対して個々のスレーブノードで演算の元となる数値、演算の内容種別を表す情報などを伝送し、スレーブノード(I/Oプロセッサ)200-1〜200-nからマスタノード(メインプロセッサ)100へは演算結果、演算の状態(演算中、演算終了、誤り発生状況など)の情報を伝送するようにすれば、全体としては分散処理システムとして高性能な情報処理を実現することができる。

[0060] 続いて、図18から図21に、出力波形修飾情報19及び出力タイミング情報21の伝送方法についての実施例を示す。

[0061] 図18は、出力波形修飾情報19が出力波形の振幅情報(出力波高値)を表し、出力タイミング情報21の立ち上がりで出力タイミングを表している実施例である。本実施例によれば、出力タイミング情報21の立ち上がりのタイミングで、出力波形修飾情

報19が表す振幅の出力30をI/Oプロセッサ(またはI/Oデバイス)200が出力する。図示の例では、最初出力タイミング情報21の立ち上がり時点で振幅10Vを示す出力波形修飾情報19が入力され、振幅10Vの出力30を出す。続いて出力タイミング情報21の2番目の立ち上がり時点では振幅5Vを示す出力波形修飾情報19が入力され、振幅5Vの出力30を出す。さらに続いて出力タイミング情報21の3番目の立ち上がり時点では振幅0Vを示す出力波形修飾情報0が入力され、振幅0Vの出力30を出す。

[0062] 図19は、出力波形修飾情報19が出力波形の振幅情報を表し、出力タイミング情報21の立ち上がり出力信号30の波形が立ち上がるタイミング、出力タイミング情報21の立ち下がり出力信号30の波形が立ち下がるタイミングを表している実施例である。本実施例によれば、出力タイミング情報21の立ち上がりのタイミングから立ち下がるまでの間、出力波形修飾情報19が表す振幅の出力30をI/Oプロセッサ(またはI/Oデバイス)200が出力する。図示の例では、最初出力タイミング情報21の立ち上がり時点では振幅10Vを示す出力波形修飾情報19が入力され、出力タイミング情報21の立ち上がりから立ち下がりまでの間振幅の間、10Vの出力30を出す。続いて出力タイミング情報21の2番目の立ち上がり時点では振幅5Vを示す出力波形修飾情報19が入力され、振幅5Vの出力30を出す。さらに続いて出力タイミング情報の3番目の立ち上がり時点では振幅1Vを示す出力波形修飾情報1が入力され、振幅1Vの出力30を出す。

[0063] 図20は、出力波形修飾情報19が出力波形のスロープ(傾き)を表している実施例である。本実施例によれば、出力タイミング情報21の立ち上がりのタイミングと立ち下がるのタイミングにあわせて出力波形修飾情報19が表すスロープ(傾き)の出力20をI/Oプロセッサ(またはI/Oデバイス)200が出力する。図示した例では、最初出力タイミング情報21の立ち上がり時点では傾き10V/usを示す出力波形修飾情報19が入力され、出力タイミング情報21に立ち上がり、立下りに合わせて傾き10V/usの出力30を出す。続いて出力タイミング情報21の2番目の立ち上がり時点では傾き5V/usを示す出力波形修飾情報19が入力され、傾き5V/usの出力30を出す。さらに続いて出力タイミング情報の3番目の立ち上がり時点では傾き2V/usを示す出力波形

修飾情報1が入力され、傾き2V/usの出力30を出す。

- [0064] 図21は、出力波形修飾情報19が出力波形の制御パラメータを表している実施例である。本実施例ではI/Oプロセッサ(またはI/Oデバイス)200がフィードバック制御により出力30を制御し、そのフィードバック制御のパラメータを出力波形修飾情報19が表している。つまり、図16の実施例に示すように、I/Oプロセッサ(またはI/Oデバイス)200は出力30の値をフィードバックするためのフィードバック入力を有し、該フィードバック入力と設定値とを比較することあるいは両者の差により出力30の値を修正する。なお、該設定値は図18の実施例にあるように出力波形修飾情報19が表す出力波形の振幅情報としてもよい。
- [0065] 図示の例では、最初の出力に比べて2番目の出力ではより応答の遅い制御パラメータが出力波形修飾情報19により設定されている。3番目の出力では非常に応答の早い制御パラメータが設定されており、出力30にオーバーシュートが見られる。
- [0066] また同様に(またはI/Oデバイス)200がフィードフォワード制御により出力30を制御している場合も出力波形修飾情報19により制御パラメータを設定できることは言うまでもない。
- [0067] 出力波形修飾情報19のフォーマットは種々考えられるが、例えば振幅情報(出力波高値)、スロープ(傾き)、制御パラメータなどの情報をシリアルデータの所定のフィールドの2進数またはアスキーコードで表すことが考えられる。
- [0068] 以上、出力波形修飾情報19が様々な情報を表す実施例を示したが、出力波形修飾情報19が複数の情報を示すことも可能である。この場合にはシリアルデータに複数の情報に対応するフィールドを設けて、それぞれのフィールドで情報を2進数またはアスキーコードで表すことが考えられる。
- [0069] 図22は、メインプロセッサ100の実施例である。本例のメインプロセッサ100は、マイクロプロセッシングユニット(MPU)101、メモリ102、シリアル通信インタフェース103、タイマ104を備える。マイクロプロセッシングユニット(MPU)101は必要な情報をメモリ102に記憶しながら出力タイミング及び出力波形を決定し、決定した出力波形に基づく情報(出力波形修飾情報19)を送るためにシリアル通信インタフェース103での通信を起動する。さらに決定された出力タイミングに基づき、タイマ104を設定す

る。

[0070] シリアル通信インタフェース103は、通信起動に基づき、出力波形修飾情報19をシリアル通信路1経路でI/Oプロセッサ(またはI/Oデバイス)200に伝送する。タイマ104は、タイマ設定に基づき所定の時刻に出力タイミング情報21を出力する。また図23に示すように、処理をパイプライン化することにより制御装置の性能を向上させることができる。MPU101では出力制御のための処理をする。その処理により出力のタイミング及びにその波形(出力波形修飾情報19)を求める。

[0071] MPU101は、処理の結果に基づきシリアル通信インタフェース103に通信起動をかける。通信起動は、多くの場合、シリアル通信インタフェース103の制御レジスタに所定の情報を書き込むとともに、メッセージバッファに送信すべきメッセージとして出力波形修飾情報19を書き込むことにより実現する。シリアル通信インタフェース103は、通信起動を受けて、メッセージバッファに書き込まれた出力波形修飾情報19をI/Oプロセッサ200-iに送信する。

[0072] またさらにMPU101は、処理結果に基づきタイマ104を設定する。タイマの設定は、タイマ104のレジスタに、信号を出力すべきタイミングのカウンタの値を書き込むことにより行う。タイマ104は、カウンタの値がレジスタに書き込まれた設定値になったときに出力、即ちタイミング情報21をI/Oプロセッサ200-iに伝送する。

#### 産業上の利用可能性

[0073] 本発明によれば、メインプロセッサからI/Oプロセッサ(またはI/Oデバイス)に高速でのオン/オフのタイミングに加えて、振幅やスロープなどの出力波形の指示情報を少ない本数の信号線で伝送することができる。したがって、メインプロセッサは出力の概略の制御を司り、I/Oプロセッサ(またはI/Oデバイス)は出力の詳細な制御を司るという機能分担を図ることができ、結果として制御装置の性能を向上させることができる。また本発明によれば、マスタノードからの送信信号を複数のスレーブノードで受信でき、かつマスタノードにとって受信信号の衝突が発生しないブロードキャスト機能を実現することができる。

#### 図面の簡単な説明

[0074] [図1]本発明の基本的な実施例を示す図。

- [図2]メインプロセッサに複数のI/Oプロセッサを接続した実施例を示す図。
- [図3]本発明に好適なシリアル通信の実施例を示す図。
- [図4]TXCSi#、RXCSi#により通信を制御する構成例を示す図。
- [図5]図4に示した通信システムの動作例(ブロードキャスト)を示す図。
- [図6]TXCSi#、RXCSi#の設定と通信動作の説明図。
- [図7]CSi#、T/TR#により通信を制御する構成例を示す図。
- [図8]CSi#、T/TR#の設定と通信動作の説明図。
- [図9]CSi#、R/TR#により通信を制御する構成例を示す図。
- [図10]CSi#、R/TR#の設定と通信動作の説明図。
- [図11]スレーブノードの構成例を示す図。
- [図12]マイクロプロセッシングユニットを有するスレーブノードの構成例を示す図。
- [図13]マスタノードの構成例を示す図。
- [図14]マイクロプロセッシングユニットを有するマスタノードの構成例を示す図。
- [図15]本発明による通信システムの信号波形の説明図。
- [図16]本発明による制御装置の実施例を示す図。
- [図17]本発明による情報処理システムの実施例を示す図。
- [図18]出力波形修飾情報が出力波形の振幅を表す実施例を示す図。
- [図19]出力波形修飾情報が出力波形の振幅を表す実施例を示す図。
- [図20]出力波形修飾情報が出力波形のスロープ(傾き)を表す実施例を示す図。
- [図21]出力波形修飾情報が出力波形の制御パラメータを表す実施例を示す図。
- [図22]メインプロセッサの実施例を示す図。
- [図23]メインプロセッサ100の動作の実施例を示す図。

## 請求の範囲

- [1] 1つのマスタノードと複数のスレーブノードを有し、前記マスタノードと前記スレーブノードとの間で通信を行う通信システムにおいて、前記マスタノードは、  
前記複数のスレーブノードにクロック信号を出力するクロック送信手段と、  
前記複数のスレーブノードの各々に対して、当該マスタノードとの信号伝送の相手方として選択されているか否かと通信の方向とを示す通信選択信号群を出力する手段と、  
前記クロック信号に同期して前記複数のスレーブノードに向けて伝送データを出力する手段と、  
前記クロックに同期してスレーブノードからの伝送データを取り込む手段とを備えることを特徴とする通信システム。
- [2] 請求項1記載の通信システムにおいて、前記通信選択信号群は、各スレーブノードが前記マスタノードからの信号伝送の相手方として選択されているか否かを示す第1の選択信号と、各スレーブノードが前記マスタノードへの信号伝送の相手方として選択されているか否かを示す第2の選択信号とからなり、該第2の選択信号は同時に最大で1つのスレーブノードを選択することを特徴とする通信システム。
- [3] 請求項1記載の通信システムにおいて、前記通信選択信号群は、各スレーブノードが前記マスタノードとの信号伝送の相手方として選択されているか否かを示す第1の選択信号と、前記マスタノードとの信号伝送の方向を示す第2の選択信号からなることを特徴とする通信システム。
- [4] 請求項1記載の通信システムにおいて、前記複数のスレーブノードの各々は、  
前記通信選択信号群が当該スレーブノードを前記マスタノードからの伝送の相手方として選択しているとき前記クロック信号に同期して前記マスタノードから出力された伝送データを取り込む手段と、  
前記通信選択信号群が当該スレーブノードを前記マスタノードへの伝送の相手方として選択しているとき前記クロック信号に同期して前記マスタノードに伝送データを出力する手段とを備えることを特徴とする通信システム。
- [5] 1つのマスタノードと、複数のスレーブノードと、前記スレーブノードにスイッチ手段を

介して接続されたアクチュエータと、前記マスタノードとスレーブノードとの間で通信を行う通信システムとを含み、前記マスタノードからの指令によって前記アクチュエータを制御する制御装置において、

前記マスタノードは、前記複数のスレーブノードにクロック信号を出力するクロック送信手段と、前記複数のスレーブノードの各々に対して、当該マスタノードとの信号伝送の相手方として選択されているか否かと通信の方向とを示す通信選択信号群を出力する手段と、前記クロック信号に同期して前記複数のスレーブノードに向けて伝送データを出力する手段と、前記クロックに同期してスレーブノードからの伝送データを取り込む手段とを備え、

前記複数のスレーブノードの各々は、

前記通信選択信号群が当該スレーブノードを前記マスタノードからの伝送の相手方として選択しているとき前記クロック信号に同期して前記マスタノードから出力された伝送データを取り込む手段と、

前記通信選択信号群が当該スレーブノードを前記マスタノードへの伝送の相手方として選択しているとき前記クロック信号に同期して前記マスタノードに伝送データを出力する手段とを備えることを特徴とする制御装置。

- [6] 請求項5記載の制御装置において、前記通信選択信号群は、各スレーブノードが前記マスタノードからの信号伝送の相手方として選択されているか否かを示す第1の選択信号と、各スレーブノードが前記マスタノードへの信号伝送の相手方として選択されているか否かを示す第2の選択信号とからなり、該第2の選択信号は同時に最大で1つのスレーブノードを選択することを特徴とする制御装置。
- [7] 請求項5記載の制御装置において、前記通信選択信号群は、各スレーブノードが前記マスタノードとの信号伝送の相手方として選択されているか否かを示す第1の選択信号と、前記マスタノードとの信号伝送の方向を示す第2の選択信号からなることを特徴とする制御装置。
- [8] マイクロプロセッサを有し情報処理を行う1つのマスタノードと、それぞれがマイクロプロセッサを有して情報処理を行う複数のスレーブノードと、前記マスタノードとスレーブノードとの間で通信を行う通信システムとを含む情報処理システムにおいて、

前記マスタノードは、前記複数のスレーブノードにクロック信号を出力するクロック送信手段と、前記複数のスレーブノードの各々に対して、当該マスタノードとの信号伝送の相手方として選択されているか否かと通信の方向とを示す通信選択信号群を出力する手段と、前記クロック信号に同期して前記複数のスレーブノードに向けて伝送データを出力する手段と、前記クロックに同期してスレーブノードからの伝送データを取り込む手段とを備え、

前記複数のスレーブノードの各々は、前記通信選択信号群が当該スレーブノードを前記マスタノードからの伝送の相手方として選択しているとき前記クロック信号に同期して前記マスタノードから出力された伝送データを取り込む手段と、前記通信選択信号群が当該スレーブノードを前記マスタノードへの伝送の相手方として選択しているとき前記クロック信号に同期して前記マスタノードに伝送データを出力する手段とを備えることを特徴とする情報処理システム。

- [9] 請求項8記載の情報処理システムにおいて、前記通信選択信号群は、各スレーブノードが前記マスタノードからの信号伝送の相手方として選択されているか否かを示す第1の選択信号と、各スレーブノードが前記マスタノードへの信号伝送の相手方として選択されているか否かを示す第2の選択信号とからなり、該第2の選択信号は同時に最大で1つのスレーブノードを選択することを特徴とする情報処理システム。
- [10] 請求項8記載の情報処理システムにおいて、前記通信選択信号群は、各スレーブノードが前記マスタノードとの信号伝送の相手方として選択されているか否かを示す第1の選択信号と、前記マスタノードとの信号伝送の方向を示す第2の選択信号からなることを特徴とする情報処理システム。
- [11] 出力タイミング及び出力波形を決定するメインノードと、それぞれの出力タイミングにおいてそれぞれの出力波形の出力を出力する複数のI/Oノードとを含むリアルタイム制御装置において、

前記メインノードと前記複数の複数のI/Oノードを接続する共通のシリアル通信路と、前記メインノードと前記複数のI/Oノードを個別に接続する個別信号線とを備え、

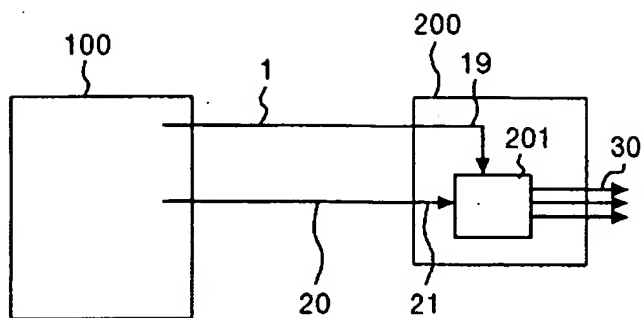
前記メインノードが決定した出力タイミングの情報は前記メインノードから前記複数のI/Oノードに前記個別信号線で伝送され、前記メインノードが決定した出力波形の

情報は前記メインノードから前記複数のI/Oノードに前記共通のシリアル通信路で伝送されることを特徴とするリアルタイム制御装置。

- [12] 請求項11記載のリアルタイム制御装置において、前記メインノードは、前記出力タイミング及び出力波形を決定するマイクロプロセッサユニットと、前記出力波形の情報を出力するシリアル通信インタフェースと、前記出力タイミング情報を出力するタイマとを有することを特徴とするリアルタイム制御装置。
- [13] 請求項11記載のリアルタイム制御装置において、前記メインノードは、各I/Oノードに対して当該I/Oノードがメインノードとの伝送の相手方であるか否かを示すI/Oノード選択信号を出力する手段と、転送クロックを発生する手段とを有し、前記転送クロックに同期して伝送データを出力し、各I/Oノードは当該I/Oノードに対応するI/Oノード選択信号が有効であるとき前記転送クロックに同期して伝送データを出力することを特徴とするリアルタイム制御装置。
- [14] 請求項11記載のリアルタイム制御装置であって、前記メインプロセッサと前記I/Oノードは請求項1記載の通信システムで接続され、前記メインプロセッサは前記マスタノードで、前記I/Oノードは前記スレーブノードであることを特徴とするリアルタイム制御装置。

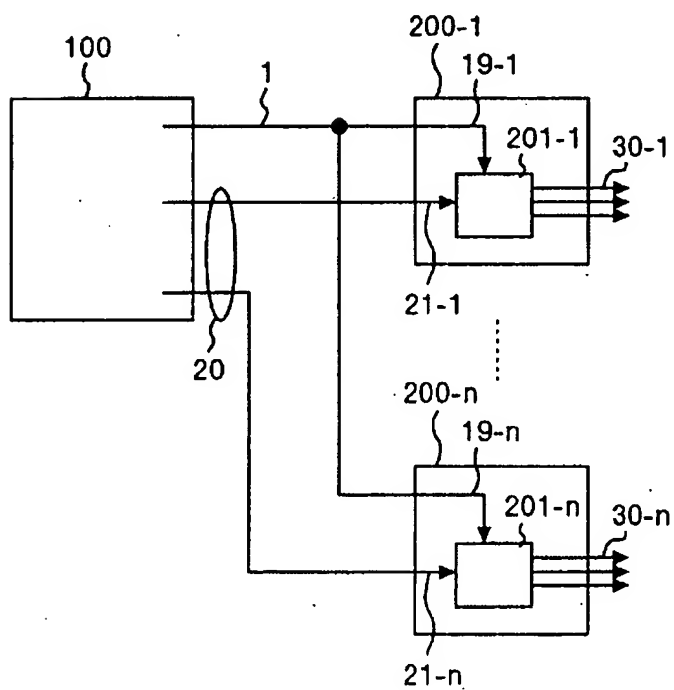
[図1]

図 1



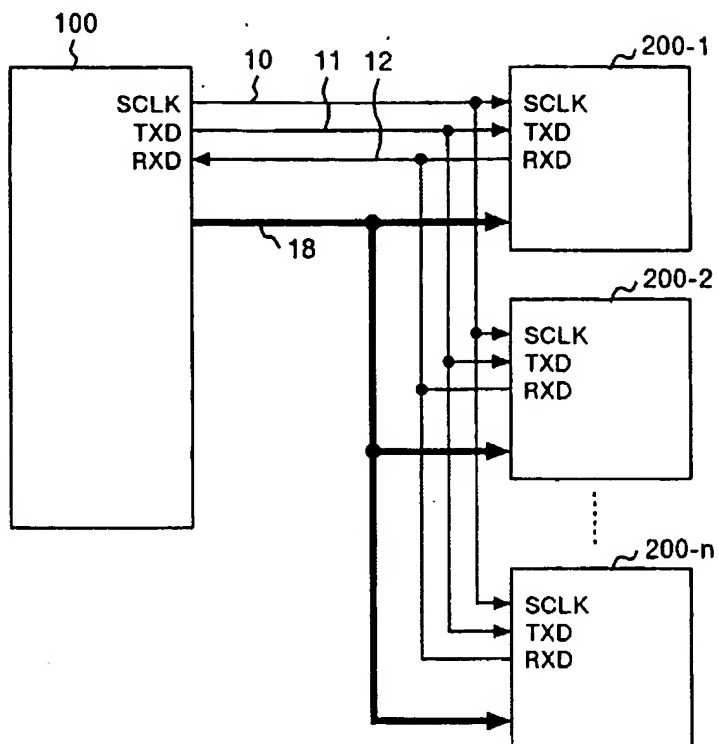
[図2]

図 2



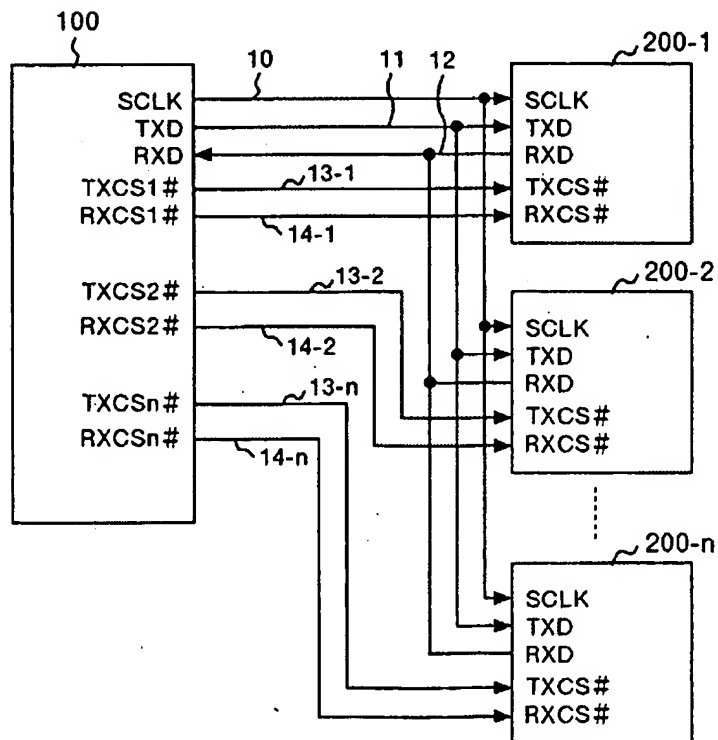
[図3]

図 3



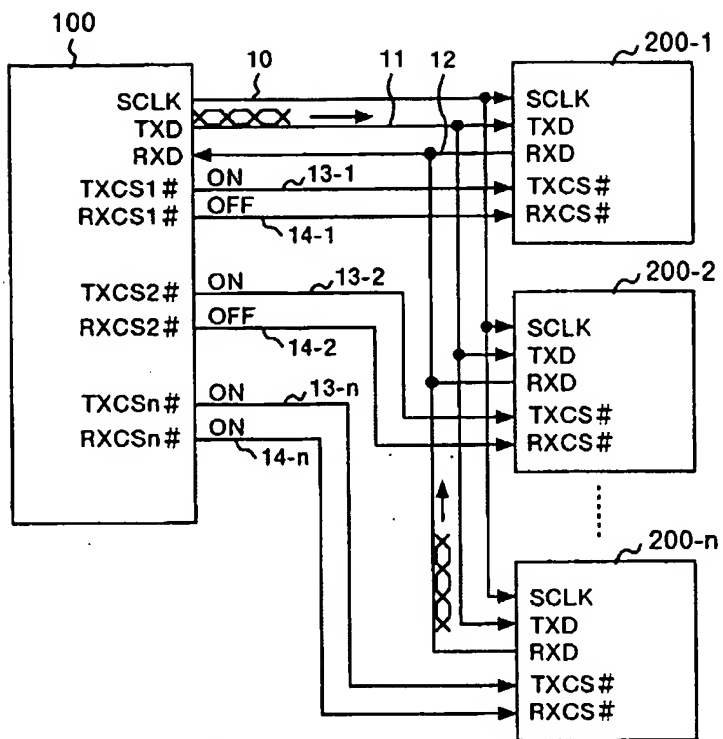
[図4]

図 4



[図5]

図 5



[図6]

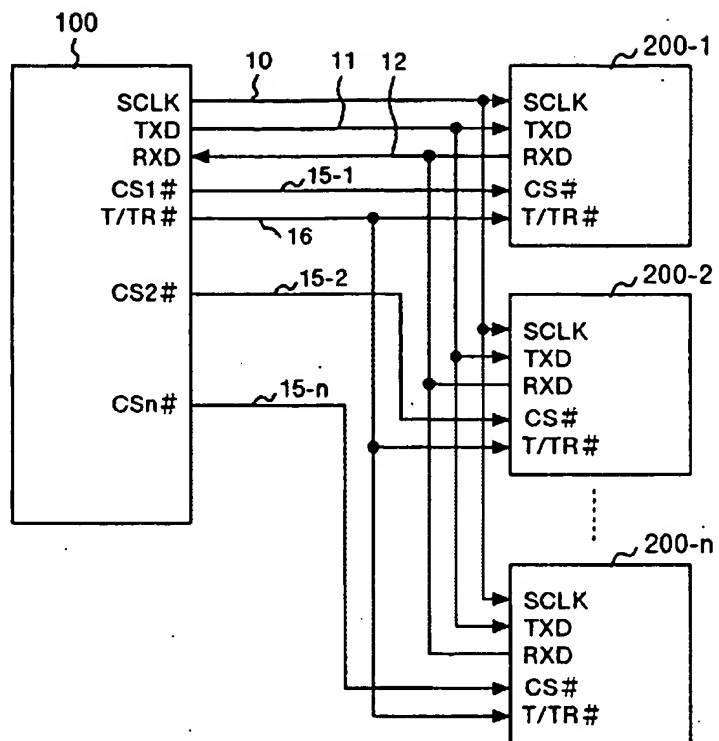
図 6

case	TXCSI#			RXCSI#			マスタ→ スレーブ1	マスタ→ スレーブ2	マスタ→ スレーブn	スレーブ1 →マスタ	スレーブ2 →マスタ	スレーブn →マスタ
	1	2	n	1	2	n						
1	OFF	OFF	OFF	*	*	*	無効	無効	無効	—	—	—
2	ON	OFF	OFF	*	*	*	有効	無効	無効	—	—	—
3	OFF	ON	OFF	*	*	*	無効	有効	無効	—	—	—
4	ON	ON	OFF	*	*	*	有効	有効	無効	—	—	—
5	OFF	OFF	ON	*	*	*	無効	無効	有効	—	—	—
6	ON	OFF	ON	*	*	*	有効	無効	有効	—	—	—
7	OFF	ON	ON	*	*	*	無効	有効	有効	—	—	—
8	ON	ON	ON	*	*	*	有効	有効	有効	—	—	—
9	*	*	*	OFF	OFF	OFF	—	—	—	無効	無効	無効
10	*	*	*	ON	OFF	OFF	—	—	—	有効	無効	無効
11	*	*	*	OFF	ON	OFF	—	—	—	無効	有効	無効
12	*	*	*	ON	ON	OFF	—	—	—	禁止		
13	*	*	*	OFF	OFF	ON	—	—	—	無効	無効	有効
14	*	*	*	ON	OFF	ON	—	—	—	禁止		
15	*	*	*	OFF	ON	ON	—	—	—	禁止		
16	*	*	*	ON	ON	ON	—	—	—	禁止		
17	ON	OFF	OFF	OFF	OFF	OFF	有効	無効	無効	無効	無効	無効
18	OFF	OFF	OFF	ON	OFF	OFF	無効	無効	無効	有効	無効	無効
19	ON	ON	ON	ON	OFF	OFF	有効	有効	有効	有効	無効	無効
20	ON	OFF	OFF	ON	OFF	OFF	有効	無効	無効	有効	無効	無効
21	ON	OFF	OFF	OFF	OFF	ON	有効	無効	無効	無効	無効	無効

\*: don't care

[図7]

図 7



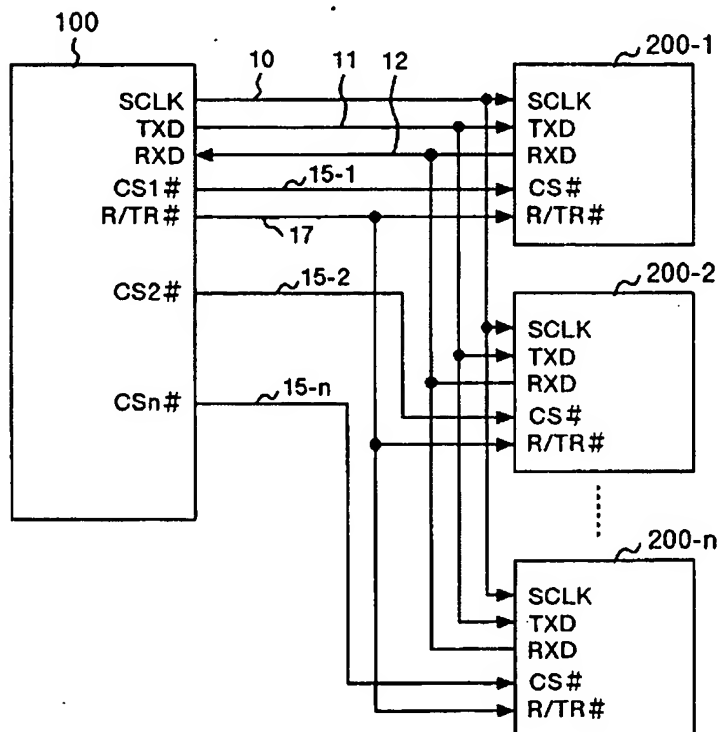
[図8]

8

case	CS#			T/TR#	マス→	マス→	マス→	スレ-7'1	スレ-7'2	スレ-7'n
	1	2	n		スレ-7'1	スレ-7'2	スレ-7'n	→マス	→マス	→マス
1	OFF	OFF	OFF	T	無効	無効	無効	無効	無効	無効
2	ON	OFF	OFF	T	有効	無効	無効	無効	無効	無効
3	OFF	ON	OFF	T	無効	有効	無効	無効	無効	無効
4	ON	ON	OFF	T	有効	有効	無効	無効	無効	無効
5	OFF	OFF	ON	T	無効	無効	有効	無効	無効	無効
6	ON	OFF	ON	T	有効	無効	有効	無効	無効	無効
7	OFF	ON	ON	T	無効	有効	有効	無効	無効	無効
8	ON	ON	ON	T	有効	有効	有効	無効	無効	無効
9	OFF	OFF	OFF	TR#	無効	無効	無効	無効	無効	無効
10	ON	OFF	OFF	TR#	有効	無効	無効	有効	無効	無効
11	OFF	ON	OFF	TR#	無効	有効	無効	無効	有効	無効
12	ON	ON	OFF	TR#	有効	有効	無効	禁止		
13	OFF	OFF	ON	TR#	無効	無効	有効	無効	無効	有効
14	ON	OFF	ON	TR#	有効	無効	有効	禁止		
15	OFF	ON	ON	TR#	無効	有効	有効	禁止		
16	ON	ON	ON	TR#	有効	有効	有効	禁止		

[図9]

9



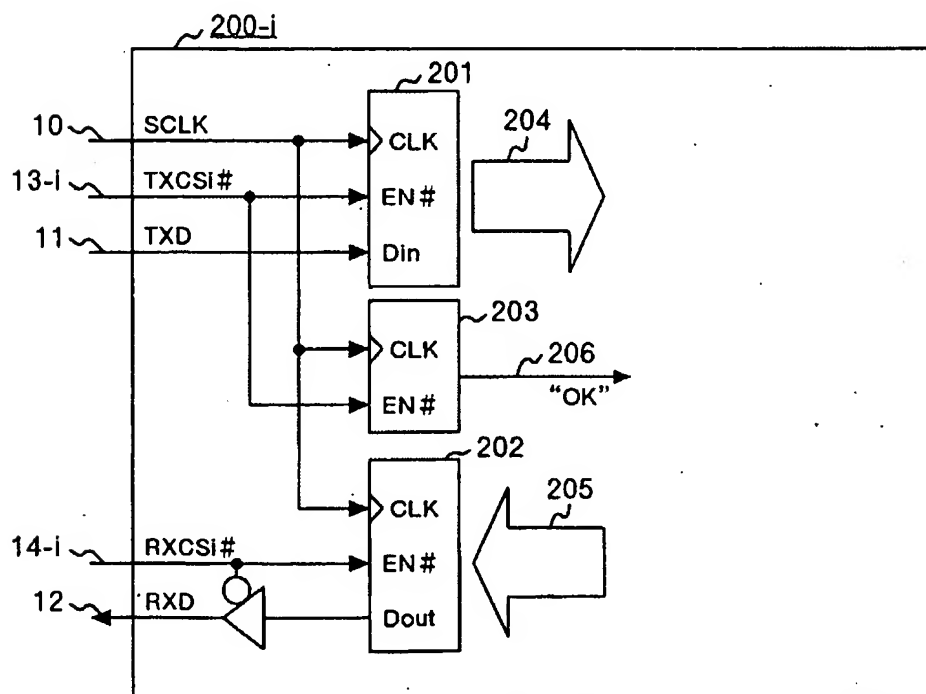
[図10]

図 10

case	CS #			R/TR #	マスタ→ スレーブ1	マスタ→ スレーブ2	マスタ→ スレーブn	スレーブ1 →マスタ	スレーブ2 →マスタ	スレーブn →マスタ
	1	2	n							
1	OFF	OFF	OFF	R	無効	無効	無効	無効	無効	無効
2	ON	OFF	OFF	R	無効	無効	無効	有効	無効	無効
3	OFF	ON	OFF	R	無効	無効	無効	無効	有効	無効
4	ON	ON	OFF	R	無効	無効	無効	禁止		
5	OFF	OFF	ON	R	無効	無効	無効	無効	無効	有効
6	ON	OFF	ON	R	無効	無効	無効	禁止		
7	OFF	ON	ON	R	無効	無効	無効	禁止		
8	ON	ON	ON	R	無効	無効	無効	禁止		
9	OFF	OFF	OFF	TR #	無効	無効	無効	無効	無効	無効
10	ON	OFF	OFF	TR #	有効	無効	無効	有効	無効	無効
11	OFF	ON	OFF	TR #	無効	有効	無効	無効	有効	無効
12	ON	ON	OFF	TR #	有効	有効	無効	禁止		
13	OFF	OFF	ON	TR #	無効	無効	有効	無効	無効	有効
14	ON	OFF	ON	TR #	有効	無効	有効	禁止		
15	OFF	ON	ON	TR #	無効	有効	有効	禁止		
16	ON	ON	ON	TR #	有効	有効	有効	禁止		

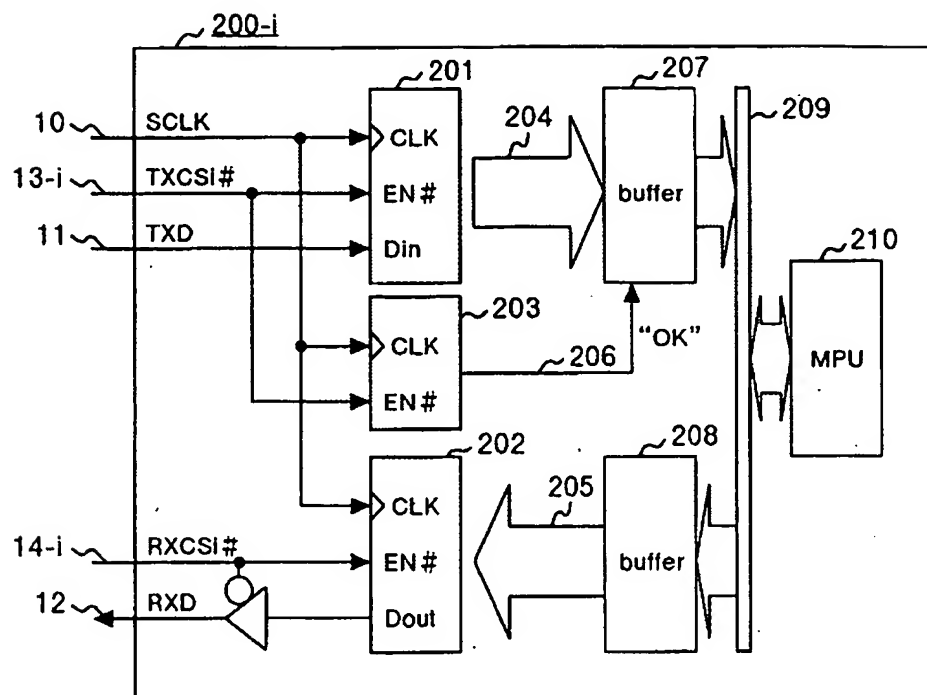
[図11]

図 11



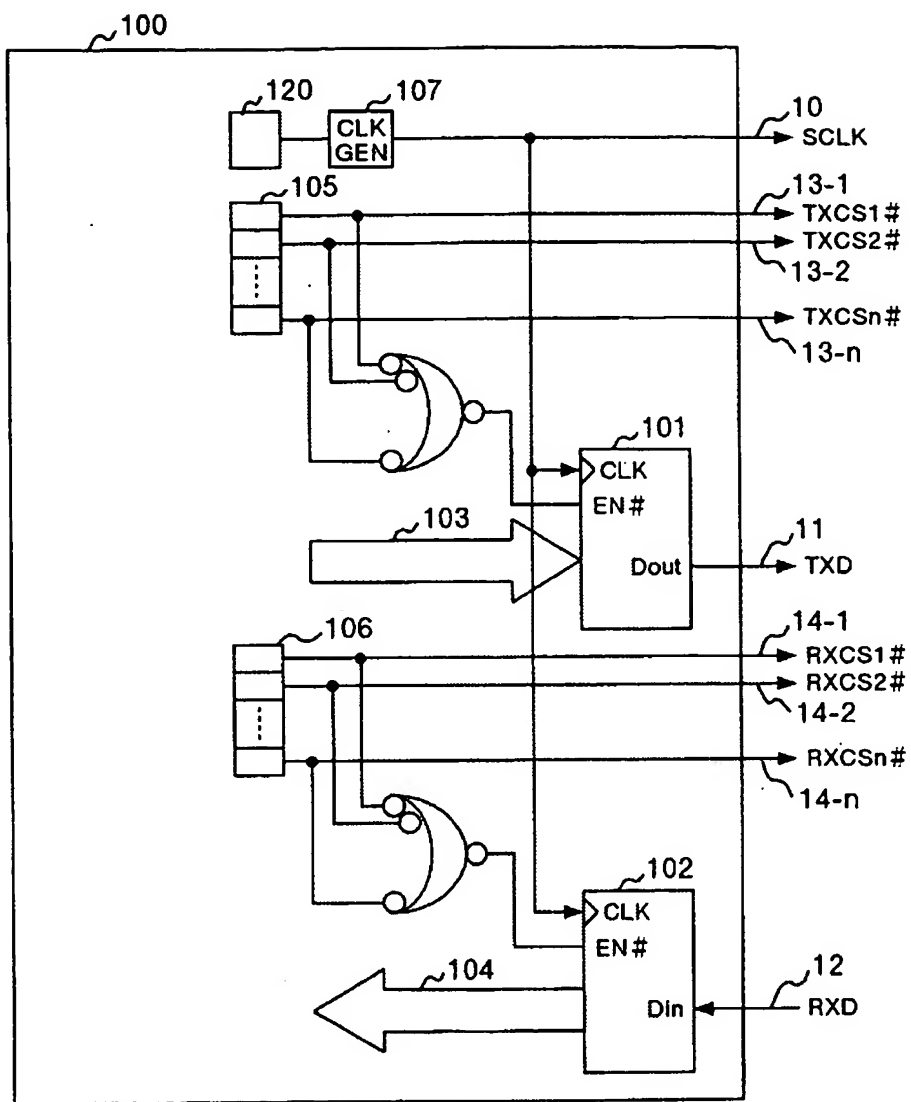
[図12]

図 12



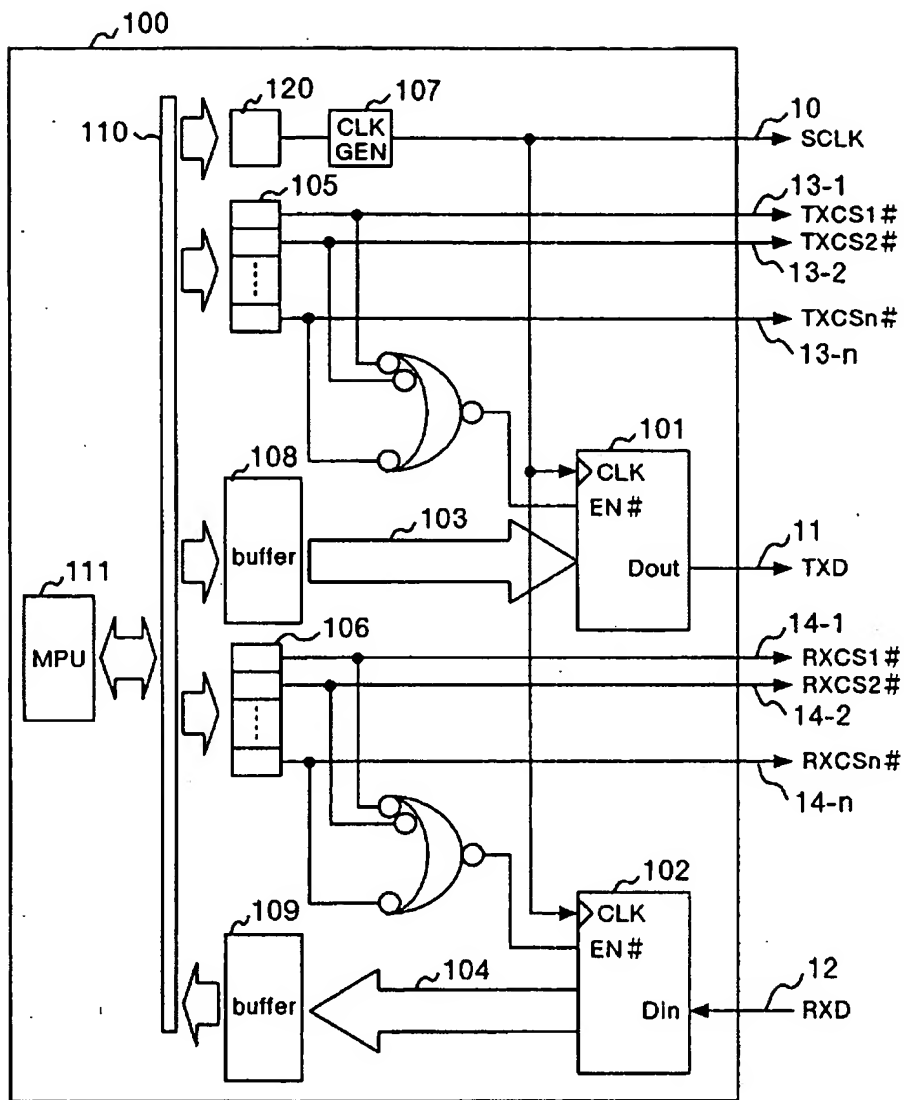
[図13]

図 13



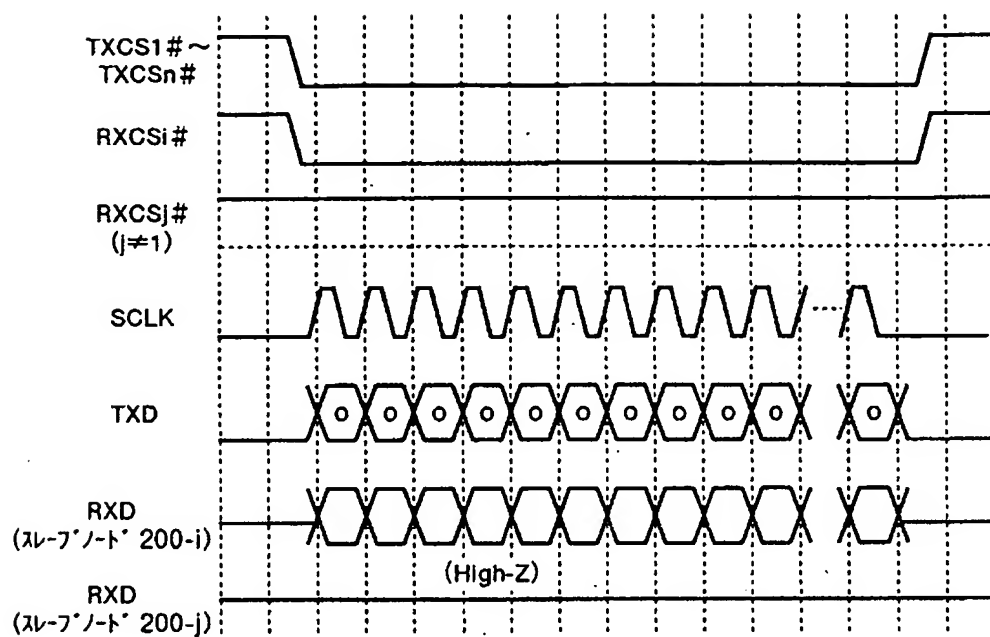
[図14]

図 14



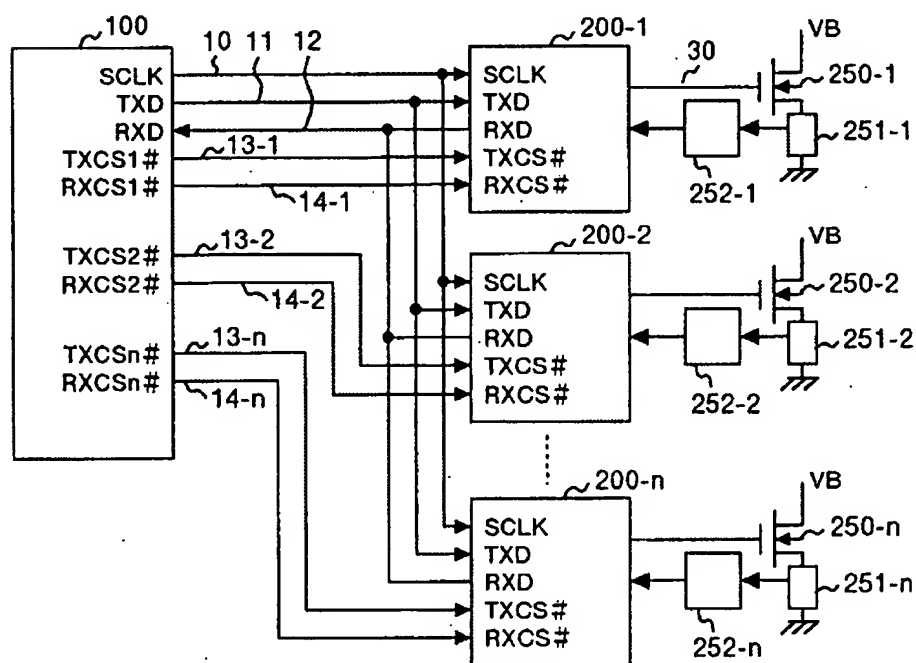
[図15]

図 15



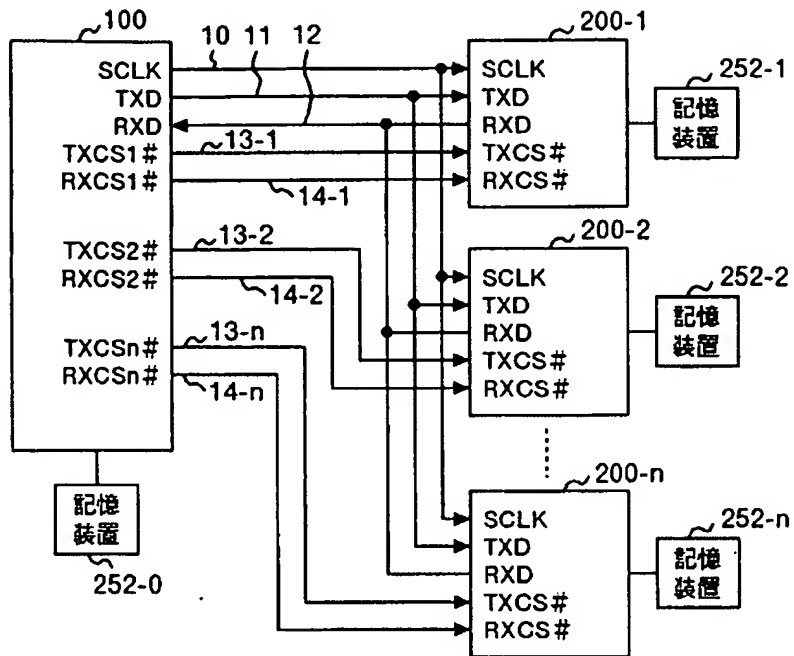
[図16]

図 16



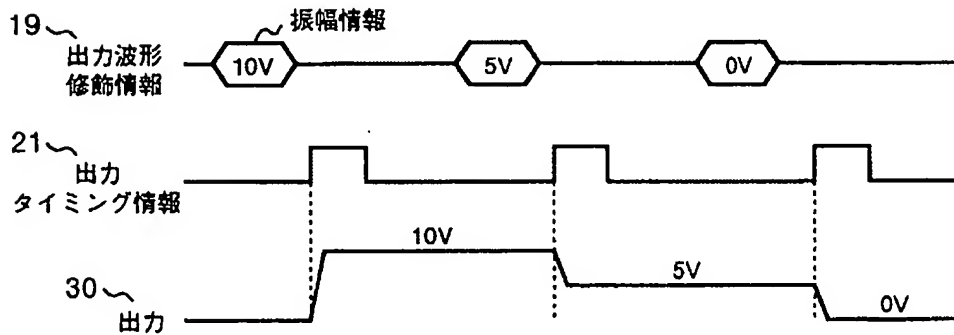
[図17]

図 1 7



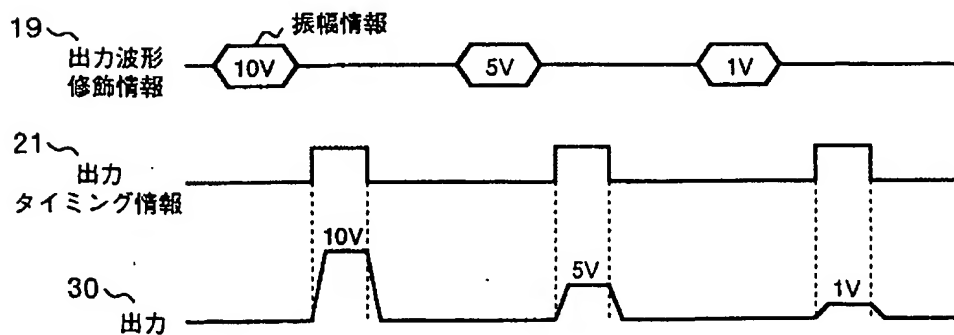
[図18]

図 1 8



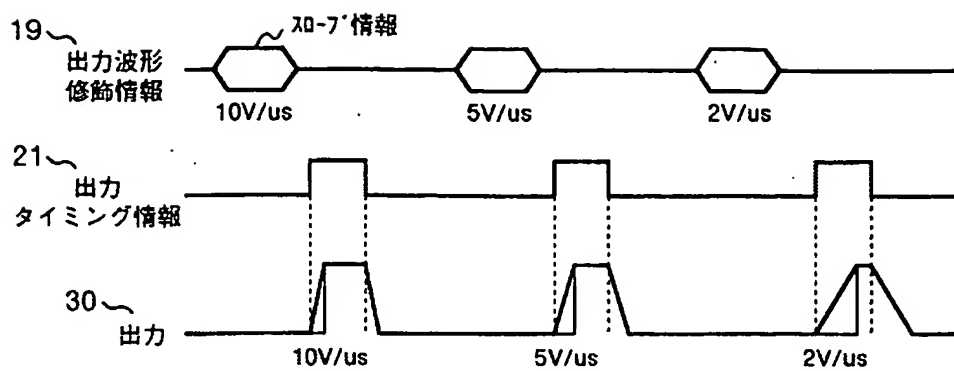
[図19]

図 1 9



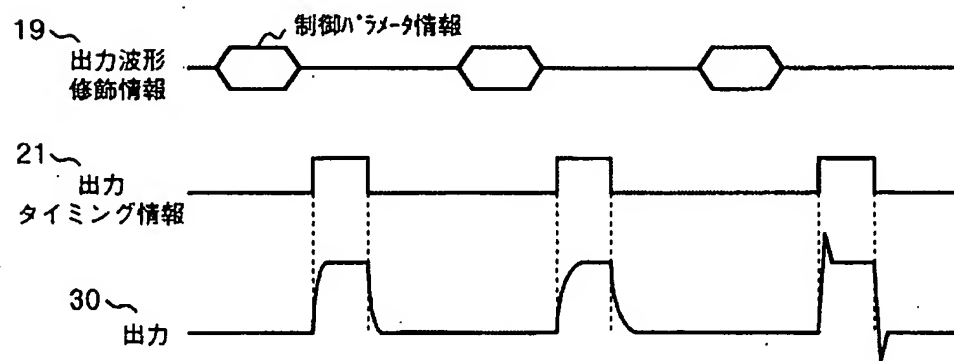
[図20]

図 20



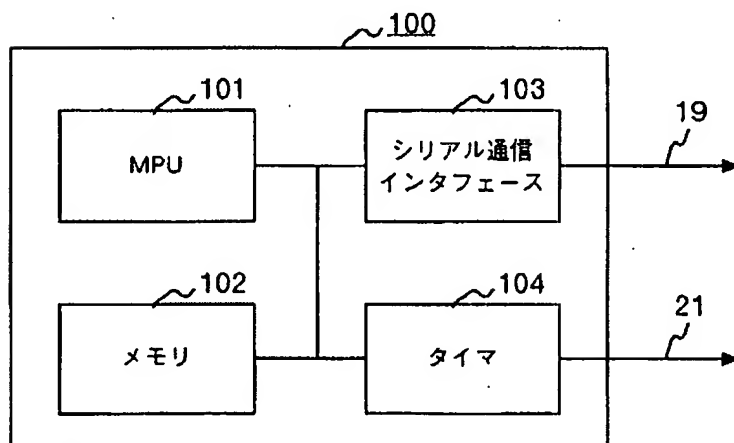
[図21]

図 21



[図22]

図 22



[図23]

図 23

